

04/8/26-SNY

(2)

特開平6-204797

(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開平6-204797  
(43)公開日 平成6年(1994)7月22日

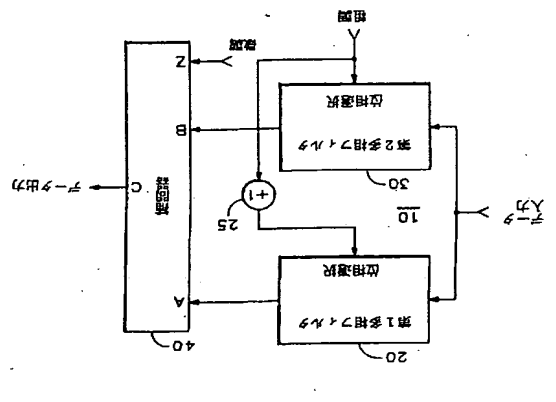
(51)IntCl. <sup>5</sup>	横列記号	庁内整理番号	FI	技術表示箇所
H 03 H 17/02	A	7037-5 J		
	D	7037-5 J		
	E	7037-5 J		
	H	7037-5 J		

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号	特開平5-275026	(71)出願人	39100251 ザ・グラス・バレー・グループ・インコーポレイテッド THE GRASS VALLY GRO UP, INCORPORATED アメリカ合衆国 カリフォルニア州 95959 ネバダ・シティ ビトニー・ス プリングス・ロード 13024 (72)発明者 アジャ・ケイ・ルスタ アメリカ合衆国 オレゴン州 97007ビー バートン サンドストン・プレイス エ ス・ダブリュー 9650 (74)代理人 弁護士 森崎 俊明
(22)出願日	平成5年(1993)10月6日		最終頁に続く
(31)優先権主張番号	0 7 / 9 6 5 , 8 1 3		
(32)優先日	1992年10月23日		
(33)優先権主張国	米国 (US)		

(54)【発明の名称】 サンプリング・レート変換装置

(57)【要約】  
【目的】 サンプリング・レート変換装置において、内挿法による多相フィルタを用いてフィルタ係数に必要なメモリを大幅に減らす。  
【構成】 1対の多相フィルタ20、30は、入力サンプリング・レートのデジタル信号を入力端に未々受けるが、一方の多相フィルタの位相選択を他方の多相フィルタから1だけオフセットしている。補間器40は、これら多相フィルタの出力信号を補間して、出力サンプリング・レートのデジタル信号を発生する。



【特許請求の範囲】  
【請求項1】 デジタル信号を入力サンプリング・レートから出力サンプリング・レートに変換する装置であって、  
入力サンプリング・レートが入力端に上記デジタル信号を夫々受ける1対の多相フィルタと、  
該1対の多相フィルタの出力信号を補間して、出力サンプリング・レートでデジタル信号を発生する補間手段とを具備し、  
一方の多相フィルタの位相選択を他方の多相フィルタから1だけオフセットするサンプリング・レート変換装置。  
【請求項2】 上記補間手段の出力信号を閉引いて、出力サンプリング・レートでのデジタル信号におけるサンプリング・レートを減少させる手段を更に具備した請求項1のサンプリング・レート変換装置。  
【発明の詳細な説明】  
【0001】  
【産業上の利用分野】 本発明は、サンプリング・レート変換装置、特に、内挿法による多相 (polyphase) フィルタを用いて、非常に多くの副位相 (subphase) を有する変換に必要なメモリを減らせるサンプリング・レート変換装置に関する。  
【0002】  
【従来の技術】 多くのアプリケーションにおいて、デジタル化した信号を、異なる装置が必要とする信号のフォーマットに応じて、あるサンプリング・レートから別のサンプリング・レートに変換することが望ましい場合がある。サンプリングされた本来の時点とは異なる時点での信号のデータ値を計算する多相フィルタを用いる場合、希望のサンプリング副位相の各々に対して単一のフィルタが必要になる。  
【0003】  
【発明が解決しようとする課題】 例えば、希望の出力サンプリング・レートと入力サンプリング・レートとの比を、3/3.5の如く小さな整数の比で表す場合、一方のレートに関連して、他方のレートの間には33 (又は3.5) 個の副位相がある。各副位相は、メモリに記憶された1組の、即ち、総数33個のフィルタ係数が必要とする。ビデオ標準のD2 PALをD1 PALに変換するようなサンプリング・レート変換アプリケーションにおいては、変換を正確に行うのに必要な副位相の数は、70.9、0.0個以上である。これは、仮え不可能でないとしても、上述の変換器モデルを使用するという問題、即ち、70.9、0.0個以上のフィルタと同じ数だけのフィルタ係数の組が必要になるという重大な問題がある。  
【0004】 そこで、サンプリング・レート間の比を大きな整数の比で表し、各位相用のフィルタを必要とせず、正確な変換を行う多相フィルタを用いたサンプリング

・レート変換装置が提供されている。  
【0005】 したがって、本発明の目的は、内挿法による多相フィルタを用いて、フィルタ係数に必要なメモリを大幅に減らしたサンプリング・レート変換装置の提供にある。  
【0006】  
【課題を解決するための手段】 本発明によれば、1対の多相フィルタの入力端は、共通の入力信号源に結合され、一方の多相フィルタが、他方の多相フィルタからの1個の副位相だけオフセットされて駆動される。これら多相フィルタの出力信号は、補間器の入力信号となる。この補間器の分解能は、多相フィルタの分解能によって計算する際に、このシステム全体の分解能要求に合う程度に充分なものである。  
【0007】 本発明のその他の目的、利点及び新報な特徴は、添付図を参照した以下の説明より明らかになる。  
【0008】  
【実施例】 図1は、本発明によるサンプリング・レート変換装置10を示す。同じ設計の2個の多相フィルタ20及び30の各々は、N位相である。第1サンプリング・レートでサンプリングされた入力データを、多相フィルタ20及び30の両方に入力する。制御器 (図示せず) からの制御信号を入力する。一方の多相フィルタ30の位相選択端子に出力する。加算器25で1だけ増された同じ相選択信号を入力する。多相フィルタ20の位相選択端子に入力する。多相フィルタ20及び30からの出力信号を補間器40の入力端A及びBに夫々入力する。制御器からの制御信号を補間器40の制御端子Zに入力する。第2サンプリング・レート0の出力信号は、補間器40の出力端子Cに発生する。この出力信号は、次式のようになる。  
$$C = Z * A + (1 - Z) * B$$
  
なお、A、B、C及びZは夫々の端子の信号を表し、\*は乗算を意味する。また、Zは、0及び1の間をMステップを有する。出力データ信号の結果としての分解能は、多相フィルタ20、30の位相数Nと、制御コマンド信号のステップ数Mとの積である。すなわち、この分解能は、N \* Mである。補間器40は、多相フィルタ20及び30の位相の間で等間隔の副位相を発生する。  
【0009】 本発明によるサンプリング・レート変換装置を用いるデコード50の一例を図2に示す。このデコード50を用いて、D2 PALフォーマットのデジタル複合ビデオ信号をD1 PALフォーマットのデジタル複合ビデオ信号に変換する。177M (メガ) ビット・サンプリング・レートのD2入力信号を非置列化 (置列並列変換) 回路52に入力して、17.7MHzクロック・レートの10ビット・データ・ワードの並列データの流れに変換する。この並列データの流れをデコード回路

54に投入して、ルミナンス（輝度）用のY成分データの流れと、クロミナンス（色）用のC成分（インタリーブされている）データの流れとを発生する。これらY及びCデータの流れをレート変換器回路56に投入して、本発明により、27MHzのD1データ・レートに変換する。このD1並列データを直列化（並列直列変換）回路58に投入して、270Mビット・サンプリング・レート（0.1010）レート変換器回路56の詳細を図3に示す。なお、この図において、図示した周波数は、D2PALからD1PALへの変換を示す。デコードされたY及びCデータ信号は、夫々アンチエイリアス・フィルタ60及び62を介して、サンプリング・レート変換装置10及び10'内の多相フィルタ20、30及び20'、30'にクロックされる（クロック毎に1入力される）。シーケンズ及び制御器65は、各多相フィルタにフィルタ係数値を供給するが、この係数は、現在の位相及び次の位相に必要な係数値に対応すると共に、図1に示す加算器25の作用も行っている。（なお、図3では、シーケンズ及び制御器65から各回路に共通に信号線が接続されているが、実際には、各回路毎に信号が供給される点に留意されたい。）多相フィルタ20、30、20'及び30'の出力信号を、線形補間器40及び40'に投入する。これら補間器40及び40'の出力信号は、FIFO（ファースト・イン・ファースト・アウト）バッファ（デジタータFIFO）64及び66に夫々投入する。これらFIFOバッファは、3番目又は4番目毎のサンプリングを効果的にドロップして（間引いて）、所望の出力周波数を生ずる。FIFOバッファ64及び66は、この実施例において、出力サンプリング・レート、即ち、13.5MHzにて、補間器40及び40'からの並列出力をサンプリングして、1ライン当たり135個のサンプルを1ライン当たり864個のクロマ（クロミナンス）サンプル及びルミナンス・サンプルの組み合わせに間引く。フォーマット・マルチプレクサ（MUX）回路68は、出力Yデータ及び出力Cデータの流れを組み合わせて、所望の出力信号を発生する。[0011] Yデータの流れ用デジタータFIFO64の詳細を図4に示す。PALでは副搬送波周波数のフレーム毎のオフセットが1Hzなので、PALサンプルが直交グリッド上にないため、合理的な共通サンプリング・レートの信号がない。したがって、デジタータFIFO64は、多くの出力位相を必要とする。所望の精度を得るために、2個のFIR（有限インパルス応答）フィ

ルタ70Y及び72Yを用いる。これらフィルタの各々は、10個のタップと異なる係数値を有する。FIRフィルタ71Y及び72Yの出力信号を、64ステップの線形補間器74Yに投入する。ディザーを補間器74Yに適用して、この補間器が本来発生する出力信号より少ないビットの出力信号を発生して、量子化直線制御を改善してもよい。この出力を4fsc入力レート（fscは副搬送波周波数）で計算し、3番目又は4番目のクロック毎に1サンプルをドロップして（間引いて）、平均出力サンプリング・レートを発生する。補間器74Yの出力信号は、FIFOである蓄積バッファ76Yに投入する。この蓄積バッファは、出力サンプリング・レートfでデータ出力を除き取る。このFIFO76を用いて、適切な出力サンプリング・レートのための時間補正を行う。

[0012] 同様に図5に示す如く、クロマ・データの流れ用デジタータ66は、FIRフィルタ70C、72C、線形補間器74C及び出力FIFO76Cを含んでおり、これらは、ルミナンス・データの流れ用デジタータ64と同様に動作する。シーケンズ調整回路78を補間器74C及びFIFO76Cの間に挿入する。このシーケンズ調整回路78は、入力バイアス信号に応じて、U及びV成分間のどのクロマ値を捨てるかを決定する。この状態を図5の右下に示す。

[0013]

【発明の効果】 上述の如く、本発明のサンプリング・レート変換装置によれば、内挿法による多相フィルタを用いて、非常に多くの副位相を有するデジタル・データ・フォーマット間での変換に交換に必要なメモリを減らすことができる。

【図面の簡単な説明】

【図1】 本発明によるサンプリング・レート変換装置の概略的な構成を示すブロック図である。

【図2】 本発明によるサンプリング・レート変換装置を用いるデコードのプロック図である。

【図3】 図2のデコード用の本発明によるサンプリング・レート変換装置のプロック図である。

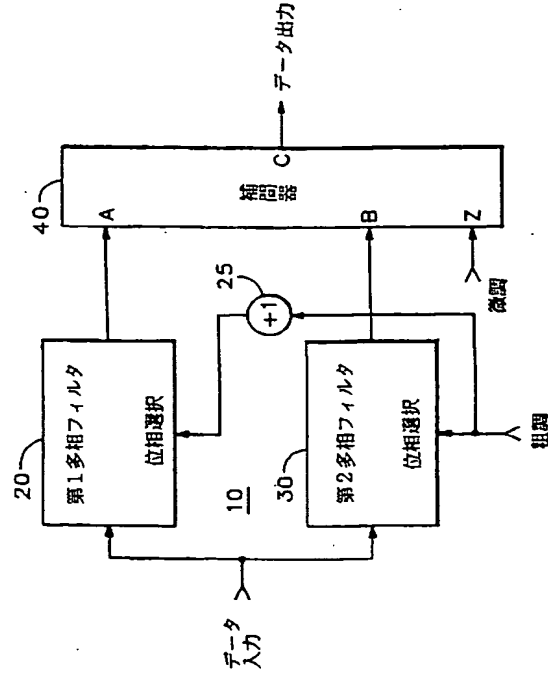
【図4】 図2のデコード用の本発明によるルミナンス・サンプリング・レート変換装置のプロック図である。

【図5】 図2のデコード用の本発明によるクロマ・サンプリング・レート変換装置のプロック図である。

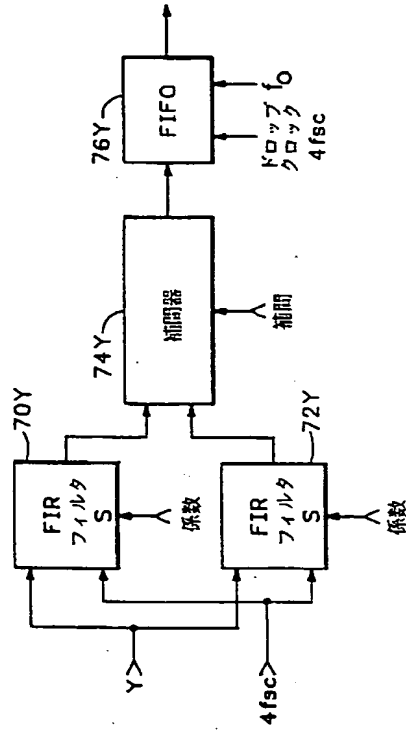
20、30 多相フィルタ

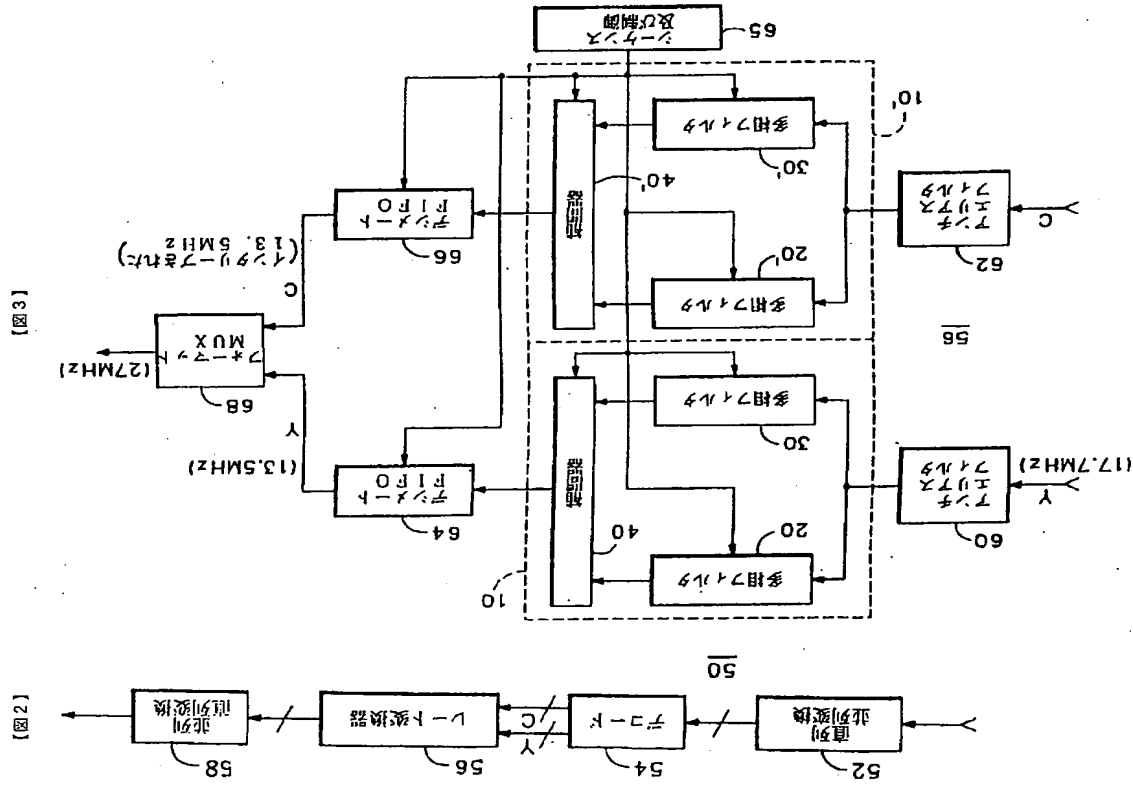
40 補間手段

【図1】

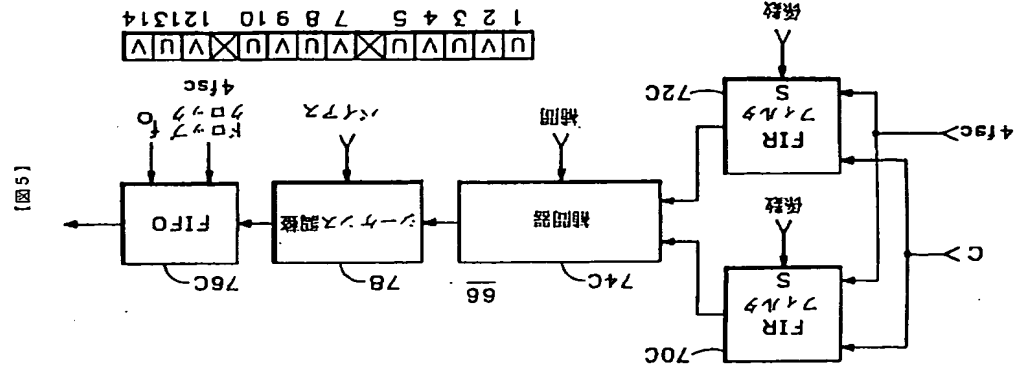


【図4】





【图3】



【图5】

フロントページの模造

(72)発明者 ガネシュ・ラジヤン

ロナルド・アルスバーク  
アメリカ合衆国 カリフォルニア州  
95945 グラス・バレー ペン・ロード  
14535

ガネシュ・ラジャン  
アメリカ合衆国 オレゴン州 97124ヒル  
スボロ ワンハンドレッドエディティエー  
トス エヌ・ダブリュー 2323

(72)發明者

アメリカ合衆国 カリフォルニア州  
95945 グラス・バレー ペン・ロード  
14535

アメリカ合衆国 オレゴン州 97124ヒル  
スボロ ワンハンドレッドエディティン  
グス エヌ・ダブリュー 2323